

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
19. September 2002 (19.09.2002)

PCT

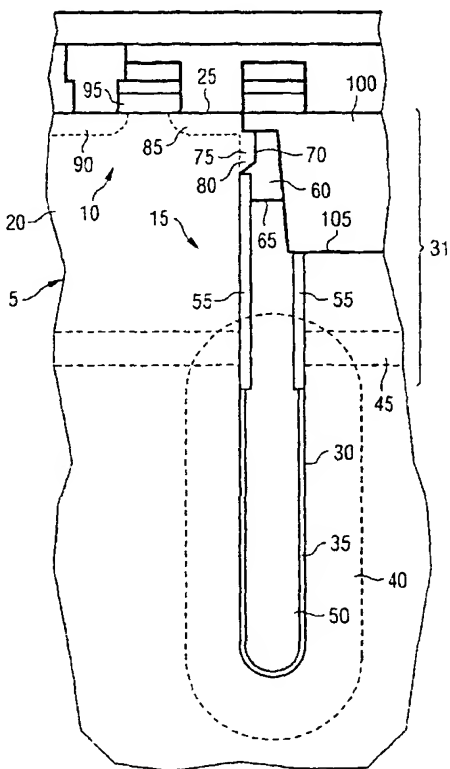
(10) Internationale Veröffentlichungsnummer
WO 02/073657 A2

- (51) Internationale Patentklassifikation⁷: **H01L** (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): **GUSTIN, Wolfgang**
(21) Internationales Aktenzeichen: **PCT/DE02/00788** [DE/DE]; Tichystr. 4, 01109 Dresden (DE). **GRÜNING**
[DE/DE]; Raintalerstr. 36,
(22) Internationales Anmeldedatum: **5. März 2002 (05.03.2002)** 81539 München (DE). **TEMLER, Dietmar** [DE/DE];
Purbuser Weg 14, 01109 Dresden (DE). **SCHREMS,**
Martin [AT/AT]; Rabnitzstr. 5, A-8063 Eggersdorf b.
(25) Einreichungssprache: **Deutsch** Graz (AT). **RONGEN, Stefan** [DE/DE]; Alaunstr. 104,
01099 Dresden (DE). **STRASSER, Rudolf** [AT/DE];
(26) Veröffentlichungssprache: **Deutsch** Schlierseestr. 105, 81539 München (DE).
(30) Angaben zur Priorität: **101 11 498.2** 9. März 2001 (09.03.2001) **DE** (74) **Anwalt: EPPING, HERMANN & FISCHER**; Ridlerstr.
55, 80339 München (DE).
(71) **Anmelder (für alle Bestimmungsstaaten mit Ausnahme von**
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE). (81) **Bestimmungsstaaten (national): JP, KR, US.**

[Fortsetzung auf der nächsten Seite]

(54) **Title:** SEMICONDUCTOR MEMORY LOCATION AND METHOD FOR THE PRODUCTION THEREOF

(54) **Bezeichnung:** HALBLEITERSPEICHERZELLE UND VERFAHREN ZU IHRER HERSTELLUNG



(57) **Abstract:** According to the invention, a trench capacitor is formed inside a trench (30) that is arranged inside a substrate (20). The trench (30) is filled with a conductive trench filling (50) that serves as an inner capacitor electrode. An epitaxial layer (75) is grown on the lateral wall of the trench (30) on the substrate (20). A buried contact (60) is arranged between the conductive trench filling (50) with the second intermediate layer (65) and the epitaxially grown layer (75). A dopant out-diffusion (80), which is formed while leading out from the buried contact (60), is arranged inside the epitaxially grown layer (75). The epitaxially grown layer (75) enables the dopant out-diffusion (80) to be further removed from a selection transistor (10) located next to the trench whereby permitting the prevention of short channel effects in the selection transistor (10).

(57) **Zusammenfassung:** Es wird ein Grabenkondensator in einem Graben (30) gebildet, der in einem Substrat (20) angeordnet ist. Der Graben (30) ist mit einer leitfähigen Grabenfüllung (50) als innere Kondensatorelektrode gefüllt. Auf der Seitenwand des Grabens (30) auf dem Substrat (20) wird eine epitaktische Schicht (75) aufgewachsen. Zwischen der leitfähigen Grabenfüllung (50) mit der zweiten Zwischenschicht (65) und der epitaktisch aufgewachsenen Schicht (75) ist ein vergrabener Kontakt (60) angeordnet. In der epitaktisch aufgewachsenen Schicht (75) ist eine Dotierstoffausdiffusion (80) angeordnet, die aus dem vergrabenen Kontakt (60) heraus gebildet wird. Durch die epitaktisch aufgewachsene Schicht (75) ist die Dotierstoffausdiffusion (80) weiter von einem neben dem Graben angeordneten Auswahltransistor (10) entfernt, wodurch Kurzkanaleffekte in dem Auswahltransistor (10) vermieden werden können.

WO 02/073657 A2



(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Docket # P2006, 0158

Applic. # _____

Applicant: W. Gustin et al

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑩ DE 196 20 625 C 1

⑤1 Int. Cl.⁸:
H 01 L 27/108
H 01 L 21/8242

⑳ Aktenzeichen: 196 20 625.1-33
㉔ Anmeldetag: 22. 5. 96
④3 Offenlegungstag: —
④6 Veröffentlichungstag
der Patenterteilung: 23. 10. 97

DE 196 20 625 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦3 Patentinhaber:
Siemens AG, 80333 München, DE

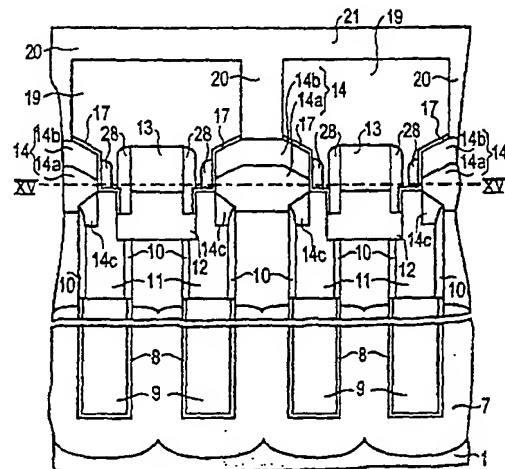
⑦2 Erfinder:
Risch, Lothar, Dr., 85579 Neubiberg, DE; Hofmann,
Franz, Dr., 80995 München, DE; Rösner, Wolfgang,
Dr., 81739 München, DE; Aegle, Thomas, Dr., 81735
München, DE

⑤6 Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:

DE	42 26 996 A1
DE	38 44 388 A1
DE	37 41 186 A1
US	49 59 698
US	49 29 990
EP	3 66 882 A2

⑤4 DRAM-Zellenanordnung und Verfahren zu deren Herstellung

⑤7 Die DRAM-Zellenanordnung weist in einem Halbleitersubstrat (1) integrierte Speicherzellen mit jeweils einem Speicherkondensator (7, 8, 9, 11) und einem oberhalb davon angeordneten vertikalen MOS-Transistor (11, 14a, 14b, 17, 28) auf. Der Speicherkondensator ist in einem Graben (6) angeordnet. Zwischen je zwei Gräben (6), die von einer Isolationsstruktur (12, 13) umgeben sind, ist eine Halbleiterinsel (14) angeordnet, an deren Flanken die vertikalen MOS-Transistoren realisiert sind. Mit Hilfe selbstjustierender Prozessschritte ist die DRAM-Zellenanordnung sowohl in Open Bitline - als auch in Folded Bitline Architektur mit einem Platzbedarf pro Speicherzelle von $4F^2$ (F: minimale in der jeweiligen Technologie herstellbare Strukturgröße) herstellbar.



DE 196 20 625 C 1

In DRAM-Zellenanordnungen, das heißt Speicherzellenanordnungen mit dynamischem, wahlfreiem Zugriff, werden fast ausschließlich sogenannte Eintransistor-Speicherzellen eingesetzt. Eine Eintransistor-Speicherzelle umfaßt einen Auslesetransistor und einen Speicherkondensator. In dem Speicherkondensator ist die Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, Null oder Eins darstellt. Durch Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden.

Da von Speichergeneration zu Speichergeneration die Speicherdichte zunimmt, muß die benötigte Fläche der Eintransistor-Speicherzelle von Generation zu Generation reduziert werden. Da der Reduktion der Strukturgrößen durch die minimale in der jeweiligen Technologie herstellbare Strukturgröße F Grenzen gesetzt sind, ist dies auch mit einer Veränderung der Eintransistor-Speicherzelle verbunden.

So wurden bis zur 1MBit-Generation sowohl der Auslesetransistor als auch der Speicherkondensator als planare Bauelemente realisiert. Ab der 4MBit-Speichergeneration mußte eine weitere Flächenreduzierung durch eine dreidimensionale Anordnung von Auslesetransistor und Speicherkondensator erfolgen.

Eine Möglichkeit besteht darin, den Speicherkondensator in einem Graben zu realisieren (siehe zum Beispiel K. Yamada et al, A deep trenched capacitor technology for 4Mbit DRAMs, Proc. Intern. Electr. Dev. and Mat. IEDM'85, Seite 702). In dieser Form der Speicherzelle beträgt der Flächenbedarf pro Speicherzelle $6F^2$ im Fall einer Open Bitline Architektur bzw. $8F^2$ im Fall einer Folded Bitline Architektur. In einer Open Bitline Architektur verlaufen im Bereich der Speicherzelle eine zugehörige Bitleitung und eine Wortleitung, über die der Auslesetransistor angesteuert wird. In einer Folded Bitline Architektur verlaufen über den Bereich der Speicherzelle neben der Bitleitung und der Wortleitung, über die der Auslesetransistor angesteuert wird, zusätzlich eine passive Wortleitung, die zur Ansteuerung eines benachbarten Auslesetransistors verwendet wird. Die Folded Bitline Architektur wird im Hinblick auf eine verbesserte Störsicherheit eingesetzt.

Eine weitere Reduzierung des Flächenbedarfs pro Speicherzelle wird durch eine dreidimensionale Eintransistorzellenanordnung erzielt, die in EP 0 317 934 B1 vorgeschlagen wurde. Jede Speicherzelle umfaßt dabei einen in einem Graben realisierten Speicherkondensator und einen planaren Auslesetransistor, der oberhalb des Speicherkondensators in einer rekristallisierten Siliziumschicht so angeordnet ist, daß das Sourcegebiet des Auswahltransistors einen elektrisch leitenden Kontakt überlappt, der in einer asymmetrischen Erweiterung des Grabens angeordnet ist.

Ferner ist in Zusammenhang mit der 4MBit-Generation eine sogenannte Trench-Transistorzelle vorgeschlagen worden (siehe P. Chatterjee et al, IEDM'86, Seite 128 bis 131), in der die gesamte Speicherzelle in einem Graben angeordnet ist. Der untere Bereich des Grabens umfaßt einen Speicherkondensator, im oberen Bereich des Grabens ist der Auslesetransistor als vertikaler MOS-Transistor entlang der Oberfläche des Grabens angeordnet. Die Speicherzelle ist nur in Open Bitline Architektur realisierbar. Bei der Herstellung treten verschiedene kritische Prozeßschritte auf, wie zum Beispiel die Einstellung der Einsatzspannung der Auslese-

transistoren durch Implantation oder die Bildung eines Kontaktes zwischen dem Speicherknoten und einem der Source/Drain-Gebiete des Auslesetransistors.

In DE 42 26 996 A1 ist eine DRAM-Zellenanordnung vorgeschlagen worden, in der als Kondensator ein Grabenkondensator verwendet wird. Als Auswahltransistor wird ein oberhalb davon angeordneter vertikaler MOS-Transistor verwendet. Der vertikale MOS-Transistor ist dabei insbesondere entlang den Flanken einer Siliziuminsel, die zwischen benachbarten Gräben angeordnet ist und die durch Epitaxie gebildet wird, realisiert.

Eine weitere Eintransistorspeicherzelle mit einem Grabenkondensator und einem vertikalen Transistor ist in DE 37 41 186 A1 vorgeschlagen worden. Dabei ist eine Kondensatorplatte im Graben und eine zweite Kondensatorplatte außerhalb des Grabens angeordnet. Der Auswahltransistor ist seitlich des Grabens angeordnet.

In EP 0 366 882 A2 ist eine DRAM-Zellenanordnung mit hoher Packungsdichte vorgeschlagen worden, in der als Auswahltransistoren vertikale MOS-Transistoren verwendet werden. Unterhalb der Auswahltransistoren sind im Substrat die zugehörigen Speicherkondensatoren angeordnet. Als Kondensatorplatte wirken Polysiliziumbereiche, die über das Substrat miteinander elektrisch verbunden sind. Der Speicherknoten ist gleichzeitig Draingebiet des Auswahltransistors.

In DE 38 44 388 A1 ist eine DRAM-Zellenanordnung vorgeschlagen worden, die als Speicherzellen einen Grabenkondensator und einen seitlich davon angeordneten, planaren MOS-Transistor aufweist. Eine der Kondensatorelektroden wird durch das an den Graben angrenzende Substratmaterial, das entsprechend dotiert ist, gebildet. Über ein weiteres dotiertes Gebiet ist diese Elektrode mit einem Kontakt an der Oberfläche des Substrats verbunden.

In US-PS 4 929 990 sowie US-PS 4 959 698 sind Speicherzellenanordnungen vorgeschlagen worden, in denen benachbarte Speicherzellen versetzt zueinander angeordnet sind.

Der Erfindung liegt das Problem zugrunde, eine DRAM-Zellenanordnung anzugeben, die als Speicherzellen Eintransistorsspeicherzellen mit vertikalem Transistor umfaßt und die trotz höherer Packungsdichte mit relativ einfachen Prozeßschritten herstellbar ist. Ferner soll ein Herstellverfahren für eine solche DRAM-Zellenanordnung angegeben werden.

Dieses Problem wird erfindungsgemäß gelöst durch eine DRAM-Zellenanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 4. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

In der erfindungsgemäßen DRAM-Zellenanordnung sind in einem Halbleitersubstrat im Bereich einer Hauptfläche eine Vielzahl Speicherzellen vorgesehen, die jeweils einen Speicherkondensator und einen Auswahltransistor umfassen. Der Auswahltransistor ist oberhalb des Speicherkondensators angeordnet.

In der Hauptfläche des Halbleitersubstrats sind in Zeilen und Spalten angeordnete Gräben vorgesehen. Die Speicherkondensatoren sind jeweils im unteren Bereich der Gräben realisiert. Dabei bildet ein an den Graben angrenzendes dotiertes Gebiet im Halbleitersubstrat eine Kondensatorplatte. An der Grabenwand ist ein Kondensatordielektrikum angeordnet.

Jeweils zwei entlang einer Zeile benachbarte Gräben bilden ein Grabenpaar, das an der Hauptfläche von einer Isolationsstruktur umgeben ist. Zwischen den benachbarten Gräben der Grabenpaare ist im Bereich der

Hauptfläche jeweils eine Halbleiterinsel angeordnet. Die Auswahltransistoren sind jeweils als vertikale MOS-Transistoren an einer der Flanken der Halbleiterinsel realisiert. Dabei sind Gatedielektrikum und Gateelektrode an der Flanke angeordnet. Der Speicherknoten des Speicherkondensators grenzt an die Flanke der Halbleiterinsel an. Die Gateelektrode ist mit einer Wortleitung und eines der Source/Drain-Gebiete des Auswahltransistors mit einer Bitleitung verbunden.

Werden die Gräben mit einer Weite und einem gegenseitigen Abstand jeweils entsprechend einer minimalen in der jeweiligen Technologie herstellbaren Strukturgröße F hergestellt, so beträgt der Flächenbedarf pro Speicherzelle $4F^2$, da jedes Grabenpaar zwei Speicherzellen und somit jeder Graben eine Speicherzelle enthält.

Die Halbleiterinseln entlang benachbarten Zeilen werden jeweils versetzt zueinander angeordnet. Dadurch ist die Anordnung von Bitleitungskontakten, die zur Verbindung der Bitleitungen mit den jeweiligen Source/Drain-Gebieten der Auswahltransistoren erforderlich sind, entspannt. Darüberhinaus ermöglicht diese Anordnung eine Folded Bitline Architektur.

Es sind Wortleitungsgräben vorgesehen, die quer zu den Zeilen verlaufen und an die jeweils die Flanke der Halbleiterinseln angrenzt. Da die Halbleiterinseln versetzt angeordnet sind, grenzen in benachbarten Zeilen angeordnete Halbleiterinseln, die an denselben Wortleitungsgraben angrenzen, an einander gegenüberliegende Flanken des Wortleitungsgrabens an. Vorzugsweise sind in den Wortleitungsgräben jeweils zwei Wortleitungen vorgesehen, die jeweils an den einander gegenüberliegenden Flanken des Wortleitungsgrabens angeordnet sind. In dieser Ausführungsform ist eine Folded Bitline Architektur realisiert, die bezüglich der Störsicherheit beim Auslesevorgang vorteilhaft ist. Auch diese Ausführungsform ist mit einem Flächenbedarf pro Speicherzelle von $4F^2$ herstellbar.

Vorzugsweise umfaßt das Halbleitersubstrat mindestens im Bereich der Hauptfläche monokristallines Silizium. Dieses kann sowohl in Form einer monokristallinen Siliziumscheibe als auch in Form der Siliziumschicht eines SOI-Substrates der Fall sein. Der Speicherknoten umfaßt dotiertes Polysilizium und wirkt in dieser Ausführungsform als Source/Drain-Gebiet des Auswahltransistors.

Vorzugsweise werden die an die Gräben angrenzenden dotierten Gebiete, die die Kondensatorplatten bilden, als durchgehendes dotiertes Gebiet ausgebildet, das eine durchgehende, vergrabene Kondensatorplatte bildet. Diese vergrabene Kondensatorplatte erstreckt sich über das gesamte Zellenfeld und wird am Rand des Zellenfeldes kontaktiert. Im Zellenfeld brauchen dann keine Kontakte zu der vergrabenen Kondensatorplatte vorgesehen werden.

Zur Herstellung der DRAM-Zellenanordnung werden in einer Hauptfläche eines Halbleitersubstrats Gräben erzeugt, die in Zeilen und Spalten angeordnet sind. Im unteren Bereich der Gräben wird dem Graben jeweils benachbart ein dotiertes Gebiet gebildet, das als Kondensatorplatte wirkt. An der Grabenwand wird jeweils ein Speicherdielektrikum und ein Speicherknoten gebildet. Es werden Isolationsstrukturen gebildet, die jeweils entlang einer Zeile benachbarte Gräben als Grabenpaar umgeben. Zwischen den Gräben der Grabenpaare wird jeweils eine Halbleiterinsel gebildet, an deren Flanken, die den zugehörigen Gräben zugewandt sind, vertikale MOS-Transistoren gebildet werden, de-

ren eines Source/Drain-Gebiet mit einem der Speicherknoten elektrisch verbunden ist.

Es liegt im Rahmen der Erfindung, zur Bildung der Halbleiterinseln zwischen den Gräben der Grabenpaare die Oberfläche des Halbleitersubstrats freizulegen. Ferner wird die Oberfläche der in den Gräben angeordneten Speicherknoten mindestens teilweise freigelegt. Durch epitaktisches Aufwachsen von Halbleitermaterial werden die Halbleiterinseln auf der freigelegten Oberfläche des Halbleitersubstrats gebildet. Gleichzeitig wächst auf der freigelegten Oberfläche des Speicherknotens polykristallines Halbleitermaterial auf. In den Halbleiterinseln wird jeweils mindestens ein Kanalbereich und ein Source/Drain-Gebiet in vertikaler Anordnung durch entsprechende Dotierung gebildet. Die Dotierung kann sowohl in situ durch Zugabe entsprechenden Dotierstoffes bei der Epitaxie als auch nachträglich durch Diffusion und/oder Implantation erfolgen. Nach Freilegen der den Gräben zugewandten Flanken der Halbleiterinseln wird an diesen Flanken ein Gatedielektrikum und eine Gateelektrode gebildet.

Vorzugsweise werden die Halbleiterinseln durch selektive Epitaxie gebildet. In diesem Fall wächst das Halbleitermaterial nur auf Halbleiteroberflächen auf, so daß zur Strukturierung der Halbleiterinseln keine zusätzlichen Schritte erforderlich sind. Die Halbleiterinseln werden in diesem Fall selbstjustiert in Bezug auf die freigelegten Halbleiteroberflächen gebildet.

Es ist vorteilhaft, nach dem teilweisen Freilegen der Oberfläche des Speicherknotens den Speicherknoten zu ätzen, so daß die freigelegte Oberfläche des Speicherknotens unterhalb der Hauptfläche angeordnet ist. Der Bereich zwischen dem Speicherknoten und der Hauptfläche wird bei der Epitaxie mit Halbleitermaterial aufgefüllt. Diese Maßnahme hat den Vorteil, daß bei der Epitaxie das von der freigelegten Oberfläche des Halbleitersubstrates auswachsende monokristalline Halbleitergebiet seitlich in den Bereich der benachbarten Gräben wächst. Auf der freigelegten Oberfläche des Speicherknotens aufwachsendes polykristallines Halbleitermaterial wird dadurch in der Breite begrenzt. Vorzugsweise wird die Tiefe der Ätzung des Speicherknotens so bemessen, daß das monokristalline Halbleitermaterial der Halbleiterinsel das auf der freigelegten Oberfläche des Speicherknotens aufwachsende polykristalline Halbleitermaterial seitlich vollständig überwächst, so daß die laterale Ausdehnung des monokristallinen Halbleitermaterials den Bereich zwischen benachbarten Isolationsstrukturen vollständig auffüllt.

Es hat den Vorteil, daß zur Freilegung der Flanken der Halbleiterinsel eine zu dem Halbleitermaterial selektive Ätzung der Isolationsstrukturen erfolgen kann. Auf diese Weise ist die Justierung einer dabei verwendeten Maske unkritisch, solange sie die Flanke der Halbleiterinsel überdeckt. Das Freilegen der monokristallinen Flanke der Halbleiterinsel erfolgt selbstjustiert.

Es liegt im Rahmen der Erfindung, zum Freilegen der Flanken der Halbleiterinseln eine Maske mit streifenförmigen Öffnungen zu verwenden. Die streifenförmigen Öffnungen verlaufen jeweils quer zu den Zeilen und überdecken jeweils eine Flanke der Halbleiterinseln. Durch zu dem Halbleitermaterial selektives Ätzen der Isolationsstruktur wird zwischen der Halbleiterinsel und der benachbarten Isolationsstruktur jeweils ein Wortleitungsgraben gebildet, in dem Wortleitungen gebildet werden, die die Gateelektroden umfassen.

Vorzugsweise werden die Halbleiterinseln in benachbarten Zeilen versetzt angeordnet, so daß die an einen

Wortleitungsgraben angrenzenden Halbleiterinseln abwechselnd an zwei einander gegenüberliegende Flanken des Wortleitungsgraben angrenzen.

Zur Bildung der Wortleitungen in den Wortleitungsgräben liegt es im Rahmen der Erfindung, die Wortleitungsgräben mit den Wortleitungen jeweils aufzufüllen. In diesem Fall ist jeder Speicherzelle eine Wortleitung zugeordnet, die DRAM-Zellenanordnung ist in Open Bitline Architektur realisiert.

Alternativ können in den Wortleitungsgräben jeweils zwei Wortleitungen in Form von Spacern an den gegenüberliegenden Flanken des Wortleitungsgrabens gebildet werden. In diesem Fall wird in der DRAM-Zellenanordnung eine Folded Bitline Architektur realisiert, ohne daß sich die Speicherzellenfläche verändern würde.

Vorzugsweise umfaßt das Halbleitersubstrat mindestens im Bereich der Hauptfläche monokristallines Silizium. Der Speicherknoten umfaßt dotiertes Polysilizium. Die Halbleiterinsel wird durch selektive Epitaxie unter Verwendung eines mindestens $\text{Si}_2\text{H}_2\text{Cl}_2$ und Bor, Arsen enthaltenden Prozeßgases im Temperaturbereich zwischen 700°C und 1000°C im Druckbereich zwischen 10 mTorr und 200 mTorr durchgeführt wird.

Im folgenden wird die Erfindung anhand der Figuren und der Ausführungsbeispiele näher erläutert.

Fig. 1 zeigt einen Schnitt durch ein Halbleitersubstrat mit Gräben, mit einer vergrabenen Kondensatorplatte, einem Kondensatordielektrikum und Speicherknoten in den Gräben.

Fig. 2 zeigt eine Aufsicht auf Fig. 1.

Fig. 3 zeigt einen Schnitt durch das Halbleitersubstrat nach Rückätzen der Speicherknoten und dem Kondensatordielektrikum und nach der Bildung von Spacern an den freigelegten Flanken der Gräben.

Fig. 4 zeigt das Halbleitersubstrat nach der Bildung von Isolationsstrukturen.

Fig. 5 zeigt eine Aufsicht auf Fig. 4. Der in Fig. 4 dargestellte Schnitt durch Fig. 5 ist mit IV-IV bezeichnet.

Fig. 6 zeigt einen Schnitt durch das Halbleitersubstrat nach Bildung von zweiten Isolationsstrukturen.

Fig. 7 zeigt eine Aufsicht auf Fig. 6. Der in Fig. 6 dargestellte Schnitt durch Fig. 7 ist mit VI-VI bezeichnet.

Fig. 8 zeigt einen Schnitt durch das Halbleitersubstrat nach Freilegen der Oberfläche des Halbleitersubstrats und teilweisem Freilegen der Oberfläche der Speicherknoten.

Fig. 9 zeigt das Substrat nach Bildung von Halbleiterinseln durch selektive Epitaxie.

Fig. 10 zeigt eine Aufsicht auf Fig. 9 nach Bildung einer Wortleitungsmaske. Der in Fig. 9 dargestellte Schnitt durch Fig. 10 ist mit IX-IX bezeichnet.

Fig. 11 zeigt einen Schnitt durch das Halbleitersubstrat nach Ätzung von Wortleitungsgräben und nach Auffüllen der Wortleitungsgräben mit je einer Wortleitung.

Fig. 12 zeigt das Halbleitersubstrat nach Bildung von Wortleitungen, die quer zu den Wortleitungen verlaufen.

Fig. 13 und Fig. 14 betreffen eine alternative Herstellung der Wortleitungen.

Fig. 13 zeigt das Halbleitersubstrat nach Ätzung der Wortleitungsgräben und Abscheidung einer leitfähigen Schicht, die Wortleitungsgräben nicht auffüllt.

Fig. 14 zeigt das Halbleitersubstrat nach Bildung von je zwei Wortleitungen in jedem Wortleitungsgraben durch eine Spacerätzung der leitfähigen Schicht und nach Bildung von quer zu den Wortleitungen verlaufenden Bitleitungen.

Fig. 15 zeigt den in Fig. 14 mit XV-XV bezeichneten

Schnitt.

In einem Halbleitersubstrat 1, das mindestens im Bereich einer Hauptfläche 2 monokristallines Silizium umfaßt, zum Beispiel einer monokristallinen Siliziumscheibe oder einem SOI-Substrat, wird mindestens im Bereich für ein Zellenfeld eine n-Typ-Dotierung erzeugt. Die n-Dotierung wird zum Beispiel in Form einer Wanne realisiert, deren Tiefe und laterale Abmessung so bemessen sind, daß das Zellenfeld in der Wanne realisiert wird. Diese Wanne wird zum Beispiel durch maskeierte Implantation mit Phosphor bei einer Energie von 1 MeV und einer Konzentration von $5 \times 10^{19} \text{ cm}^{-3}$ gebildet. Sie weist eine Tiefe von zum Beispiel 10 µm auf.

Auf die Hauptfläche 2 werden ganzflächig eine SiO_2 -Schicht 3 und eine Si_3N_4 -Schicht 4 aufgebracht. Die SiO_2 -Schicht 3 wird in einer Dicke von zum Beispiel 10 nm erzeugt. Die Si_3N_4 -Schicht 4 weist eine Dicke von zum Beispiel 150 nm auf. Mit Hilfe photolithographischer Prozeßschritte werden die Si_3N_4 -Schicht 4 und die SiO_2 -Schicht 3 zur Bildung einer Grabenmaske 5 strukturiert (siehe Fig. 1 und Fig. 2). Unter Verwendung der Grabenmaske 5 als Ätzmaske werden in einem anisotropen Ätzverfahren zum Beispiel mit HBr, NF_3 , He, O_2 Gräben 6 geätzt. Die Gräben 6 weisen eine Tiefe von zum Beispiel 8 µm auf. Der Querschnitt der Gräben 6 ist zum Beispiel quadratisch mit einer Kantenlänge von einer minimalen Strukturgröße F zum Beispiel 0,18 µm. Die Gräben 6 sind in Zeilen und Spalten angeordnet, wobei der Abstand zwischen benachbarten Gräben 6 eine minimale Strukturgröße F zum Beispiel 0,18 µm beträgt.

Die Gräben 6 werden mit einer Dotierstoffquelle, zum Beispiel dotiertem Glas oder dotiertem Polysilizium aufgefüllt. Die Dotierstoffquelle wird zurückgeätzt, bis die Gräben nur bis zu einer Höhe von 2 µm mit der Dotierstoffquelle gefüllt sind. In einem Tempersschritt wird der Dotierstoff ausgetrieben, wobei den Gräben benachbarte dotierte Gebiete gebildet werden, die aneinandergrenzen und eine zusammenhängende, vergrabene Kondensatorplatte 7 bilden. Die vergrabene Kondensatorplatte 7 ist zum Beispiel n-dotiert und weist eine Dotierstoffkonzentration von zum Beispiel $5 \times 10^{19} \text{ cm}^{-3}$ auf. Anschließend wird die Dotierstoffquelle wieder entfernt.

Die Oberfläche der Gräben 6 wird mit einem Kondensatordielektrikum 8 versehen. Dieses erfolgt zum Beispiel durch thermische Oxidation oder durch Bildung einer Dreifachschicht aus SiO_2 , Si_3N_4 , SiO_2 . Wird das Kondensatordielektrikum 8 aus SiO_2 gebildet, so weist es eine Dicke von zum Beispiel 5 nm auf.

Anschließend werden die Gräben 6 zur Bildung von Speicherknoten mit ersten dotierten Polysiliziumfüllungen 9 aus in situ dotiertem Polysilizium aufgefüllt. Die ersten dotierten Polysiliziumfüllungen 9 werden. Aus As-dotiertem Polysilizium gebildet, in dem eine Dotierstoffkonzentration von zum Beispiel $5 \times 10^{19} \text{ cm}^{-3}$ eingestellt wird. Anschließend wird die Oberfläche durch chemisch-mechanisches Polieren planarisiert, bis auf der Oberfläche der Grabenmaske 5 angeordnete Teile des Polysiliums entfernt sind.

Mit Hilfe eines zu Si_3N_4 und SiO_2 selektiven Ätzverfahrens zum Beispiel mit HBr, Cl_2 , He werden die ersten dotierten Polysiliziumfüllungen 9 anschließend um zum Beispiel 1,2 µm unter die Hauptfläche 2 zurückgeätzt. Durch Abscheiden einer SiO_2 -Schicht in einem TEOS-Verfahren in einer Schichtdicke von 35 nm und anschließendes anisotropes Rückätzen der SiO_2 -Schicht werden

im oberen Bereich der Gräben 6 an den freiliegenden Flanken SiO_2 -Spacer 10 gebildet (siehe Fig. 3).

Der zwischen den SiO_2 -Spacern 10 verbliebene Raum wird anschließend mit einer zweiten dotierten Polysiliziumfüllung 11 aufgefüllt. Die zweiten dotierten Polysiliziumfüllungen 11 werden durch in situ dotierte Abscheidung von Polysilizium und anschließendes Planarisieren der Struktur mit Hilfe zum Beispiel von chemisch-mechanischem Polieren gebildet. In den zweiten dotierten Polysiliziumfüllungen 11 wird eine Dotierstoffkonzentration von 10^{19} bis 10^{21} cm^{-3} eingestellt. In der fertigen Anordnung wirken die erste dotierte Polysiliziumfüllung 9 und die zweite dotierte Polysiliziumfüllung 11 gemeinsam als Speicherknoten.

Anschließend wird eine erste Isolationsstruktur 12 gebildet. Die erste Isolationsstruktur 12 wird als zusammenhängendes Gebiet gebildet (siehe Fig. 4 und Fig. 5). In Fig. 5 ist der in Fig. 4 dargestellte Schnitt mit IV-IV bezeichnet. Die von der ersten Isolationsstruktur 11 verdeckten Konturen der Gräben 6 sind in Fig. 5 als gestrichelte Linie eingezeichnet). Dabei ist die erste Isolationsstruktur 12 jeweils zwischen entlang einer Zeile benachbarten Grabenpaaren angeordnet. Ferner ist die erste Isolationsstruktur 12 zwischen benachbarten Zeilen angeordnet. Die Grabenpaare entlang benachbarten Zeilen sind jeweils versetzt angeordnet (siehe Fig. 5).

Zur Bildung der ersten Isolationsstruktur 12 wird mit Hilfe photolithographischer Prozessschritte und durch anisotropes Ätzen zunächst ein Graben geätzt, dessen Form der Form der ersten Isolationsstruktur 12 entspricht und der eine Tiefe von zum Beispiel $0,5 \mu\text{m}$ aufweist. Anschließend wird der Graben durch Abscheidung einer SiO_2 -Schicht in einem TEOS-Verfahren aufgefüllt. Die Struktur wird mit Hilfe photolithographischer Prozessschritte und durch chemisch-mechanisches Polieren planarisiert, so daß die Oberfläche der zweiten dotierten Polysiliziumfüllung 11 und der Grabenmaske 5 außerhalb der ersten Isolationsstruktur 12 freigelegt wird. Zur Bildung der ersten Isolationsstruktur 12 ist zum Beispiel ein standardmäßiger Shallow-Trench-Isolationsprozeß geeignet.

Durch ganzflächiges Abscheiden einer SiO_2 -Schicht in einem TEOS-Verfahren mit einer Schichtdicke von 400 nm und anschließendes Strukturieren mit Hilfe photolithographischer Prozessschritte und durch anisotropes Trockenätzen zum Beispiel mit CHF_3 , CF_4 , Ar wird eine zweite Isolationsstruktur 13 gebildet. Die zweite Isolationsstruktur 13 bedeckt die erste Isolationsstruktur 12 vollständig. Zwischen benachbarten Grabenpaaren entlang einer Zeile überragt die zweite Isolationsstruktur 13 die erste Isolationsstruktur 12 seitlich (siehe Fig. 6 und Fig. 7). In Fig. 7 ist der in Fig. 6 dargestellte Schnitt mit VI-VI bezeichnet). Die von der zweiten Isolationsstruktur 13 verdeckten Konturen der Löcher 6 und der ersten Isolationsstruktur 12 sind in Fig. 7 als gestrichelte Linien dargestellt.

Unter Verwendung der zweiten Isolationsstruktur 13 als Ätzmaske wird in einem Ätzprozeß, der Polysilizium selektiv zu SiO_2 und Si_3N_4 angreift die zweite dotierte Polysiliziumfüllung 11 geätzt. Sie wird um 250 nm zurückgeätzt. Anschließend wird in einem trockenen Ätzprozeß zum Beispiel mit SF_6 , O_2 die Si_3N_4 -Schicht 4 entfernt. Durch naßchemisches Ätzen zum Beispiel mit heißer Phosphorsäure wird die SiO_2 -Schicht 3 entfernt (siehe Fig. 8). Dadurch wird die Oberfläche des Substrats 1 zwischen den Gräben der Grabenpaare freigelegt.

Auf der freiliegenden Oberfläche des Substrats 1 wird

anschließend durch selektive Epitaxie jeweils eine Halbleiterinsel 14 gebildet. Die Halbleiterinsel 14 umfaßt einen Kanalbereich 14a und einen darüber angeordneten Source/Drain-Bereich 14b. Zwischen dem Kanalbereich 14a und der Oberfläche der zweiten dotierten Polysiliziumfüllung 11 entsteht ein polykristalliner Bereich 14c (siehe Fig. 9).

Die selektive Epitaxie wird unter Verwendung der Prozessgase SiH_2Cl_2 und AsH_3 , B_2H_6 im Temperaturbereich zwischen 700°C und 950°C und im Druckbereich zwischen 10 mTorr und 200 mTorr . Zunächst wird dem Prozessgas Bor als Dotierstoff zugegeben. Bei der selektiven Epitaxie wächst der Kanalbereich 14a ausgehend von der freigelegten Oberfläche des Substrats 1 monokristallin auf. Gleichzeitig wächst der polykristalline Bereich 14c auf der freiliegenden Oberfläche der zweiten Polysiliziumfüllung 11 auf. Da die Oberfläche der zweiten dotierten Polysiliziumfüllung 11 durch das Zurückätzen um 250 nm unterhalb der Oberfläche des Substrats 1 angeordnet ist, wächst der monokristalline Kanalbereich 14a seitlich über den polykristallinen Bereich 14c hinaus. Vorzugsweise wird die Tiefe der Rückätzung der zweiten Polysiliziumfüllung 11 so eingestellt, daß der Kanalbereich 14a seitlich zumindest auf die obere Kante des von der zweiten Isolationsstruktur 13 überdeckten Teils der zweiten Polysiliziumfüllung 11 trifft.

In einem zweiten Schritt wird dem Prozessgas als Dotierstoff As, P zugegeben. Die selektive Epitaxie wird fortgesetzt, wobei auf der Oberfläche des Kanalbereichs 14a der Source/Drain-Bereich 14b aufwächst.

Der Kanalbereich 14a sowie der Source/Drain-Bereich 14b werden bei der selektiven Epitaxie in situ dotiert. Dabei wird die Dotierstoffkonzentration im Kanalbereich 14a auf 10^{17} bis 10^{18} cm^{-3} und im Source/Drain-Bereich 14b auf 10^{19} bis 10^{21} cm^{-3} eingestellt. Der Kanalbereich 14a wird in einer Dicke von zum Beispiel 200 nm , der Source/Drain-Bereich 14b in einer Dicke von ebenfalls 200 nm , jeweils in der Mitte der Halbleiterinsel 14 gebildet.

Da die Halbleiterinseln 14 auf der freigelegten Oberfläche von Halbleitermaterial selektiv aufwachsen, ist die Anordnung der Halbleiterinseln 14 durch die Anordnung der ersten Isolationsstrukturen 12 und zweiten Isolationsstruktur 13 vorgegeben. Entlang benachbarten Zeilen angeordnete Halbleiterinseln 14 sind daher versetzt gegeneinander angeordnet (siehe Fig. 7 und Fig. 10).

Anschließend wird eine Wortleitungsmaske 15 erzeugt, die streifenförmige Öffnungen 15a aufweist (siehe Fig. 10). Die streifenförmigen Öffnungen 15a sind parallel zueinander angeordnet und verlaufen senkrecht zu den Zeilen. Die Öffnungen 15a sind so angeordnet, daß sie in jeder Zeile eine Flanke einer der Halbleiterinseln 14 überlappen. Da die Halbleiterinseln 14 von benachbarten Zeilen zueinander versetzt angeordnet sind, grenzen die Halbleiterinseln in benachbarten Zeilen jeweils an gegenüberliegende Flanken ein und derselben Öffnung 15a.

Durch anisotropes Ätzen zum Beispiel mit CHF_3 , CF_4 , Ar werden die zweite Isolationsstruktur 13 und die erste Isolationsstruktur 12 strukturiert. Dabei entstehen Wortleitungsgräben 16, die jeweils zwischen den Halbleiterinseln 14 und den benachbarten Isolationsstrukturen 12, 13 angeordnet sind (siehe Fig. 11). Die Strukturierung der ersten Isolationsstruktur 12 und der zweiten Isolationsstruktur 13 erfolgt selektiv zu Silizium. Die Ätzung wird solange fortgesetzt, bis die Flanken der Halbleiterinseln 14 und die Oberfläche der zweiten

Polysiliziumfüllung 11 im Bereich der Halbleiterinsel 14 freigelegt wird. Die Ätzung wird zum Beispiel bis in eine Tiefe von 100 nm unter die Hauptfläche 2 durchgeführt. Anschließend wird mindestens die Oberfläche des Kanalbereichs 14a mit einem Gatedielektrikum 17 versehen. Das Gatedielektrikum 17 wird zum Beispiel durch thermische Oxidation an den freiliegenden Siliziumoberflächen erzeugt (siehe Fig. 11). Das Gatedielektrikum 17 wird in einer Dicke von zum Beispiel 5 bis 10 nm gebildet.

Anschließend wird durch ganzflächige, in situ dotierte Abscheidung von Polysilizium eine dotierte Polysiliziumschicht abgeschieden, die die Wortleitungsgräben 16 auffüllt. Durch anisotropes Trockenätzen mit zum Beispiel HBr, Cl₂, HI werden diejenige Anteile der dotierten Polysiliziumschicht, die nur außerhalb der Wortleitungsgräben 16 angeordnet sind, entfernt. Dabei werden in den Wortleitungsgräben 16 Wortleitungen 18 gebildet.

Anschließend wird ganz flächig eine Zwischenoxidschicht 19 aus zum Beispiel Borphosphorsilikatglas in einer Schichtdicke von zum Beispiel 0,5 bis 1,0 µm abgeschieden. In der Zwischenoxidschicht 19 werden Kontaktlöcher geöffnet, die jeweils auf dem Source/Drain-Bereich 14b der Halbleiterinseln 14 reichen. Durch Abscheidung und Strukturierung einer leitfähigen Schicht zum Beispiel aus Wolfram werden in den Kontaktlöchern Bitleitungskontakte 20 und an der Oberfläche der Zwischenoxidschicht Bitleitungen 21 gebildet. Die Bitleitungen 21 verlaufen quer zu den Wortleitungen 18 (siehe Fig. 12).

Die sich ergebende Speicherzellenanordnung weist eine Open Bitline Architektur auf. Die vergrabene Kondensatorplatte 7, das Kondensatordielektrikum 8 sowie die erste dotierte Polysiliziumfüllung 9 und die zweite dotierte Polysiliziumfüllung 11, die gemeinsam als Speicherknoten wirken, bilden einen Speicherkondensator. Die zweite dotierte Polysiliziumfüllung 11, der Kanalbereich 14a, der Source/Drainbereich 14b, das Gatedielektrikum 17 und die zugehörige Wortleitung 18 bilden einen Auswahltransistor.

In einem anderen Ausführungsbeispiel wird nach der Bildung der Wortleitungsgräben 16 und des Gatedielektrikums 17 eine in situ dotierte Polysiliziumschicht 27 abgeschieden, deren Dicke geringer ist als die halbe Weite der Wortleitungsgräben 16, so daß die Wortleitungsgräben 16 von der dotierten Polysiliziumschicht 27 nicht aufgefüllt werden. Die dotierte Polysiliziumschicht 27 wird in einer Schichtdicke von zum Beispiel 50 nm abgeschieden (siehe Fig. 13). Die dotierte Polysiliziumschicht 27 wird zum Beispiel As-dotiert mit einer Dotierstoffkonzentration von 10^{20} bis 10^{21} cm⁻³.

Durch anisotropes Ätzen zum Beispiel mit HBr, Cl₂, He selektiv zu SiO₂ werden aus der dotierten Polysiliziumschicht 27 an gegenüberliegenden Flanken der Wortleitungsgräben 16 angeordnete spacerförmige Wortleitungen 28 gebildet.

Anschließend wird die Speicherzellenanordnung durch Bildung der Zwischenoxidschicht 19, der Bitleitungskontakte 20 sowie der Bitleitungen 21 analog wie im ersten Ausführungsbeispiel fertiggestellt.

In diesem Ausführungsbeispiel verlaufen in jedem Wortleitungsgraben 16 zwei Wortleitungen 28 (siehe Fig. 15). Über die Fläche jeder Speicherzelle verlaufen in diesem Ausführungsbeispiel eine Bitleitung 21, und zwei Wortleitungen 28, von denen eine für die betreffende Speicherzelle inaktiv ist. Die Speicherzellenanordnung weist eine Folded Bitline Architektur auf.

Die vergrabene Kondensatorplatte 7, das Kondensatordielektrikum 8 sowie die erste dotierte Polysiliziumfüllung 9 und die zweite dotierte Polysiliziumfüllung 11, die gemeinsam als Speicherknoten wirken, bilden einen Speicherkondensator. Die zweite dotierte Polysiliziumfüllung 11, der Kanalbereich 14a, der Source/Drainbereich 14b, das Gatedielektrikum 17 und die an das Gatedielektrikum angrenzende Wortleitung 28 bilden einen Auswahltransistor.

Patentansprüche

1. DRAM-Zellenanordnung,

- bei der in einem Halbleitersubstrat (1) im Bereich einer Hauptfläche (2) eine Vielzahl Speicherzellen vorgesehen sind, die jeweils einen Speicherkondensator und einen Auswahltransistor umfassen,
- bei der die Auswahltransistoren oberhalb der Speicherkondensatoren angeordnet sind,
- bei der in der Hauptfläche (2) in Zeilen und Spalten angeordnete Gräben (6) vorgesehen sind,
- bei der die Speicherkondensatoren jeweils in einem der Gräben (6) realisiert sind, wobei ein an den Gräben (6) angrenzendes dotiertes Gebiet (7) im Halbleitersubstrat (1) eine Kondensatorplatte bildet, an der Grabenwand ein Kondensatordielektrikum (8) angeordnet ist und im Graben (6) ein Speicherknoten (9, 11) angeordnet ist,
- bei der jeweils zwei entlang einer Zeile benachbarte Gräben (6) ein Grabenpaar bilden, das an der Hauptfläche (2) von einer Isolationsstruktur (12, 13) umgeben ist,
- bei der im Bereich der Hauptfläche (2) zwischen den benachbarten Gräben (6) der Grabenpaare jeweils eine Halbleiterinsel (14) angeordnet ist,
- bei der die Halbleiterinseln (14) entlang benachbarten Zeilen jeweils versetzt zueinander angeordnet sind,
- bei der die Auswahltransistoren jeweils als vertikale MOS-Transistoren an einer der Flanken der Halbleiterinseln (14) realisiert sind, wobei Gatedielektrikum (17) und Gateelektrode (18) des Auswahltransistors an der Flanke angeordnet sind,
- bei der der Speicherknoten (9, 11) des Speicherkondensators an die Flanke der Halbleiterinsel (14) angrenzt,
- bei der die Gateelektrode mit einer Wortleitung (18) und eines der Source/Drain-Gebiete (14b) des Auswahltransistors mit einer Bitleitung (21) verbunden ist,
- bei der Wortleitungsgräben (16) vorgesehen sind, die quer zu den Zeilen verlaufen und an die jeweils die Flanke der Halbleiterinseln (14) angrenzt,
- bei der in benachbarten Zeilen angeordnete Halbleiterinseln (14), die an denselben Wortleitungsgraben (16) angrenzen, an einander gegenüberliegenden Flanken des Wortleitungsgrabens (16) angrenzen,
- bei der in den Wortleitungsgräben jeweils zwei Wortleitungen (28) vorgesehen sind, die jeweils an den einander gegenüberliegenden Flanken des Wortleitungsgrabens (16) ange-

- ordnet sind.
2. Speicherzellenanordnung nach Anspruch 1,
 — bei der das Halbleitersubstrat (1) mindestens im Bereich der Hauptfläche (2) monokristallines Silizium umfaßt,
 — bei der der Speicherknoten (9, 11) dotiertes Polysilizium umfaßt und als Source/Drain-Gebiet des Auswahltransistors wirkt.
3. Speicherzellenanordnung nach Anspruch 1 oder 2, bei der an benachbarten Gräben (6) angrenzende dotierte Gebiete aneinandergrenzen und als durchgehende vergrabene Kondensatorplatte (7) ausgebildet sind.
4. Verfahren zur Herstellung einer DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 3,
 — bei dem in einer Hauptfläche (2) eines Halbleitersubstrats (1) Gräben (6) erzeugt werden, die in Zeilen und Spalten angeordnet sind,
 — bei dem im unteren Bereich der Gräben (6) dem Graben (6) jeweils benachbart ein dotiertes Gebiet (7) gebildet wird, das als vergrabene Kondensatorplatte wirkt,
 — bei dem an der Grabenwand jeweils ein Kondensatordielektrikum (8) gebildet wird,
 — bei dem im Graben (6) jeweils ein Speicherknoten (9, 11) gebildet wird,
 — bei dem Isolationsstrukturen (12, 13) gebildet werden, die jeweils entlang einer Zeile benachbarte Gräben (6) als Grabenpaar umgeben,
 — bei dem zwischen den Gräben (6) der Grabenpaare jeweils eine Halbleiterinsel (14) gebildet wird,
 — bei dem an den Flanken der Halbleiterinseln (14), die den zugehörigen Gräben (6) zugewandt sind, vertikale MOS-Transistoren gebildet werden, deren eines Source/Drain-Gebiet mit einem der Speicherknoten elektrisch verbunden ist.
5. Verfahren nach Anspruch 4,
 — bei dem zur Bildung der Halbleiterinseln (14) zwischen den Gräben (6) der Grabenpaare die Oberfläche des Halbleitersubstrats (1) freigelegt wird,
 — bei dem die Oberfläche der in den Gräben (6) angeordneten Speicherknoten (9, 11) mindestens teilweise freigelegt wird,
 — bei dem durch Epitaxie auf der freigelegten Oberfläche des Halbleitersubstrats (1) die Halbleiterinseln gebildet werden,
 — bei dem die den Gräben (6) zugewandten Flanken der Halbleiterinseln (14) freigelegt werden,
 — bei dem an den Flanken der Halbleiterinseln (14) jeweils ein Gatedielektrikum (17) und eine Gateelektrode (18) gebildet werden,
 — bei dem in den Halbleiterinseln jeweils mindestens ein Kanalbereich (14a) und ein Source/Drain-Bereich (14b) in vertikaler Anordnung gebildet werden.
6. Verfahren nach Anspruch 5, bei dem die Halbleiterinseln (14) durch selektive Epitaxie gebildet werden.
7. Verfahren nach Anspruch 5 oder 6,
 — bei dem nach dem teilweisen Freilegen der Oberfläche des Speicherknotens (9, 11) der Speicherknoten geätzt wird, so daß die freigelegte Oberfläche des Speicherknotens (9, 11)

- unterhalb der Hauptfläche (2) angeordnet ist,
 — bei dem der Bereich zwischen Speicherknoten (9, 11) und Hauptfläche (2) bei der Epitaxie aufgefüllt wird.
8. Verfahren nach einem der Ansprüche 5 bis 7,
 — bei dem zum Freilegen der Flanken der Halbleiterinseln (14) eine Wortleitungsmaske (15) mit streifenförmigen Öffnungen (15a) gebildet wird, wobei die streifenförmigen Öffnungen (15a) jeweils quer zu den Zeilen verlaufen und jeweils eine Flanke der Halbleiterinseln (14) überdecken,
 — bei dem die Flanken der Halbleiterinseln (14) dadurch freigelegt werden, daß durch zu dem Halbleitermaterial selektives Ätzen zwischen der Halbleiterinsel (14) und der benachbarten Isolationsstruktur (12, 13) jeweils ein Wortleitungsgraben (16) gebildet wird,
 — bei dem in den Wortleitungsgräben (16) Wortleitungen (18) gebildet werden, die die Gateelektroden umfassen.
9. Verfahren nach Anspruch 8,
 — bei dem die Halbleiterinseln (14) in benachbarten Zeilen versetzt angeordnet werden,
 — bei dem die an einen der Wortleitungsgräben (16) angrenzenden Halbleiterinseln (14) abwechselnd an zwei einander gegenüberliegende Flanken des Wortleitungsgrabens angrenzen.
10. Verfahren nach Anspruch 9, bei dem in jedem Wortleitungsgraben (16) zwei Wortleitungen (28) in Form von Spacern an den Flanken des Wortleitungsgrabens (16) gebildet werden.
11. Verfahren nach einem der Ansprüche 5 bis 10,
 — bei dem das Halbleitersubstrat (1) mindestens im Bereich der Hauptfläche (2) monokristallines Silizium umfaßt,
 — bei dem der Speicherknoten (9, 11) dotiertes Polysilizium umfaßt,
 — bei dem die Halbleiterinsel (14) durch selektive Epitaxie unter Verwendung eines mindestens SiH_2Cl_2 enthaltenden Prozeßgases im Temperaturbereich zwischen 700°C und 950°C und Druckbereich zwischen 10 mTorr und 200 mTorr durchgeführt wird.

Hierzu 11 Seite(n) Zeichnungen

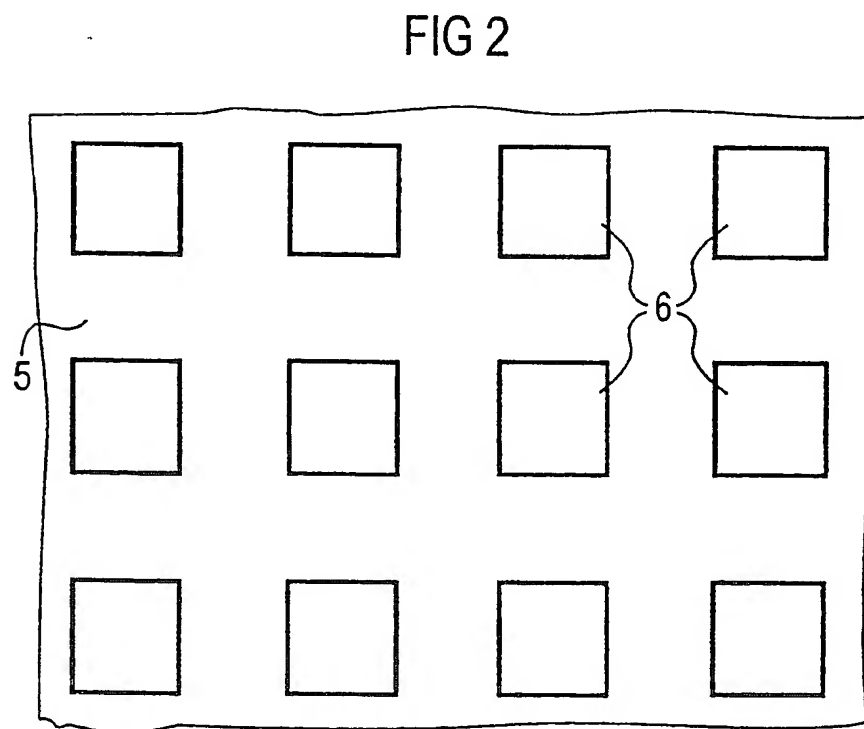
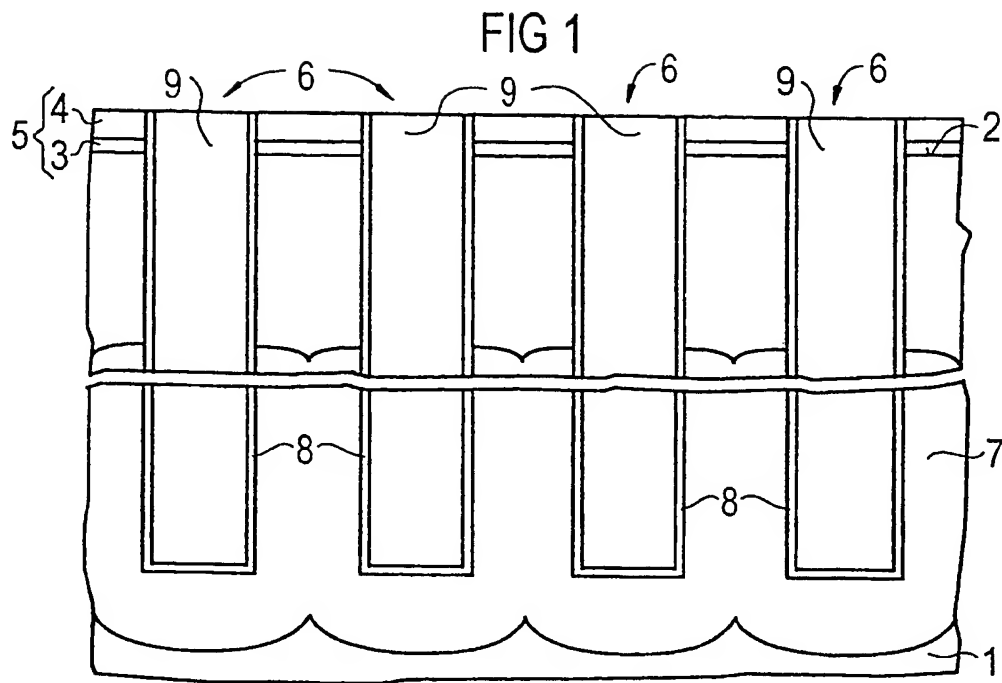


FIG 3

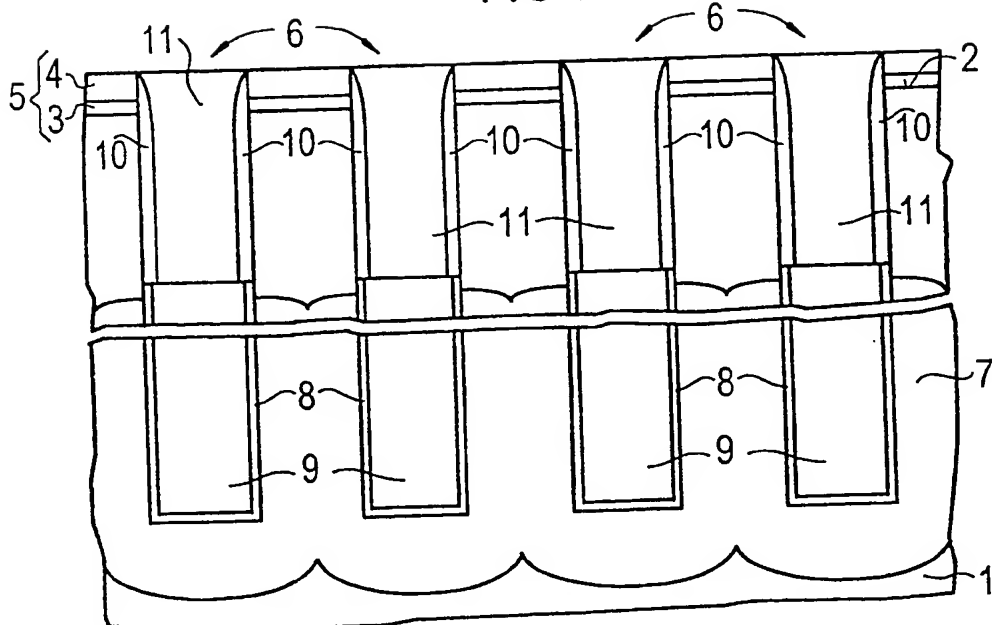


FIG 4

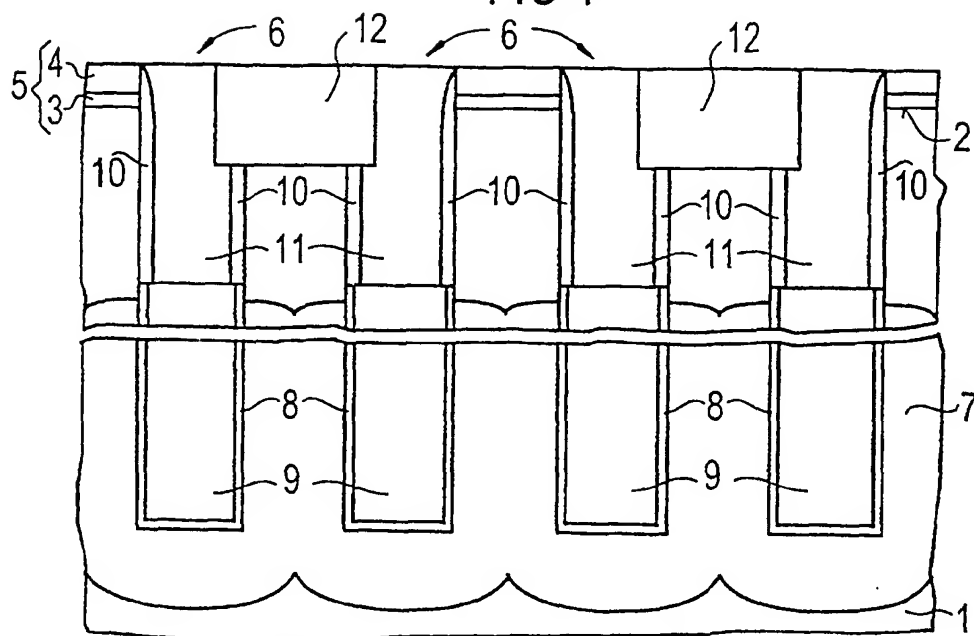


FIG 5

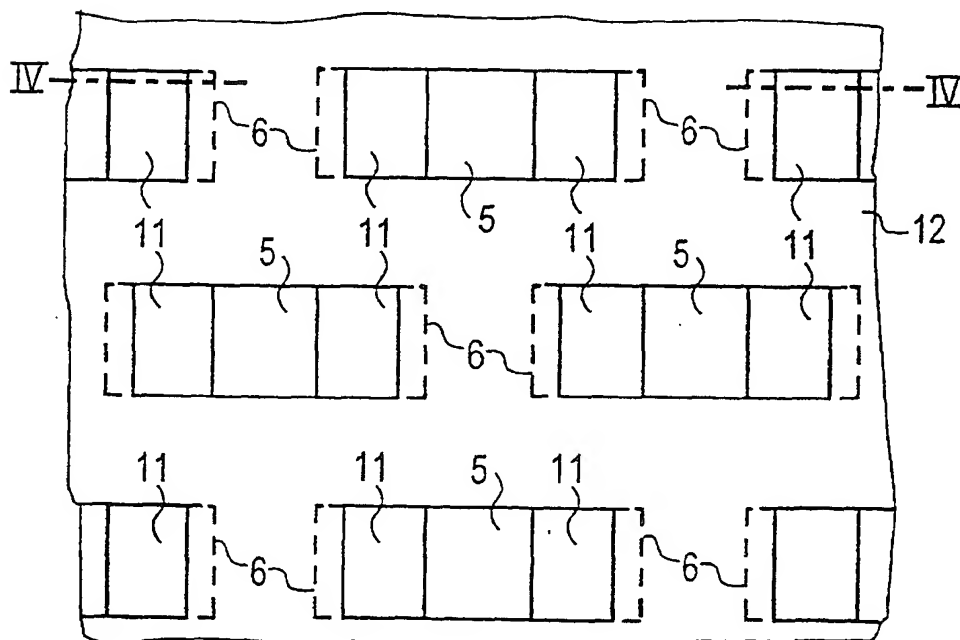


FIG 6

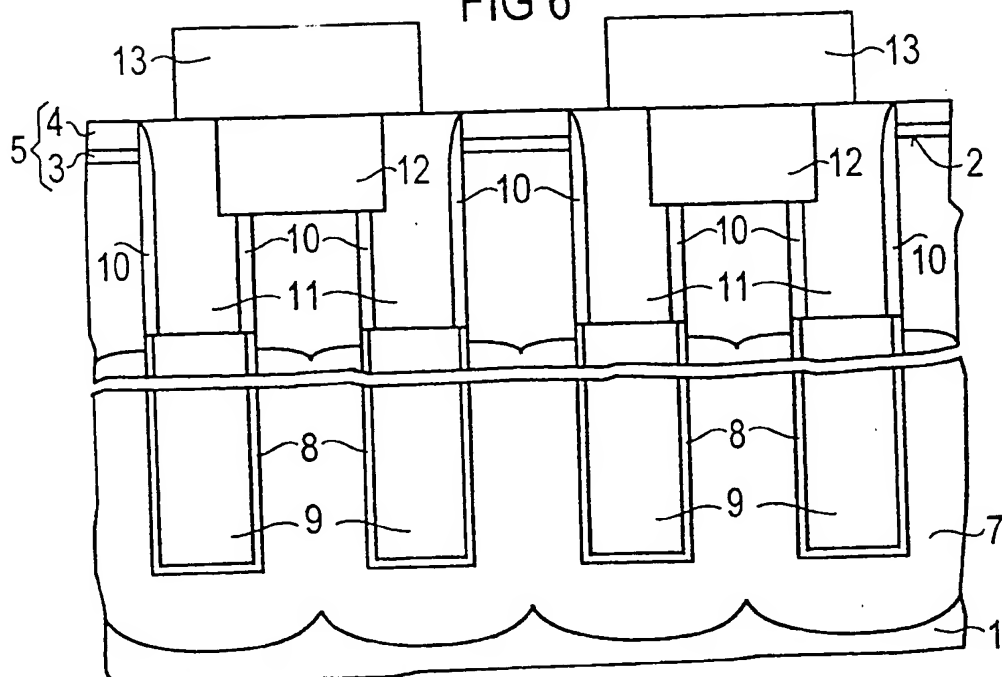


FIG 7

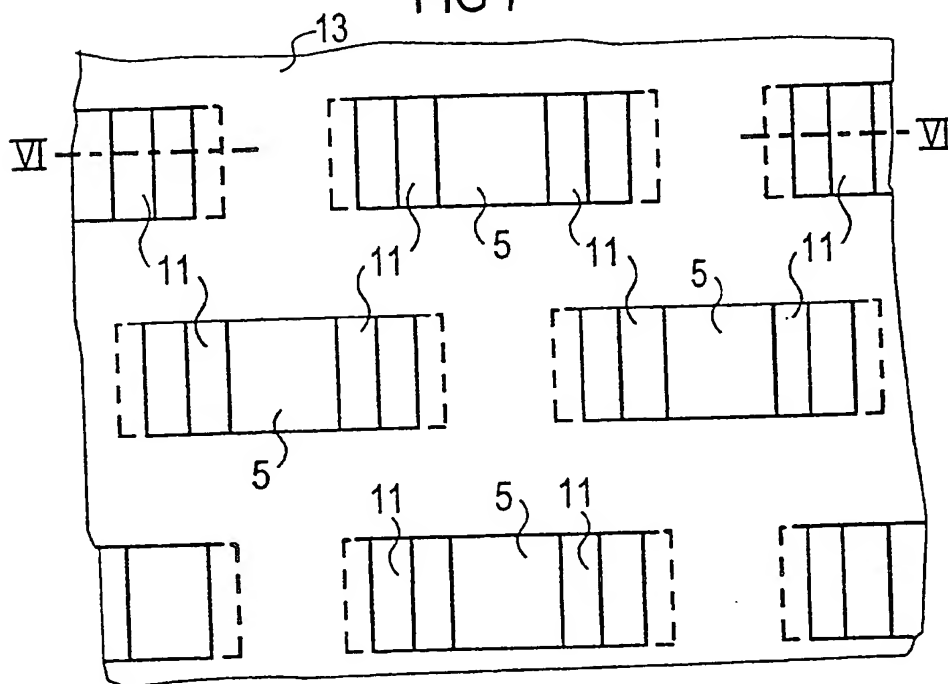


FIG 8

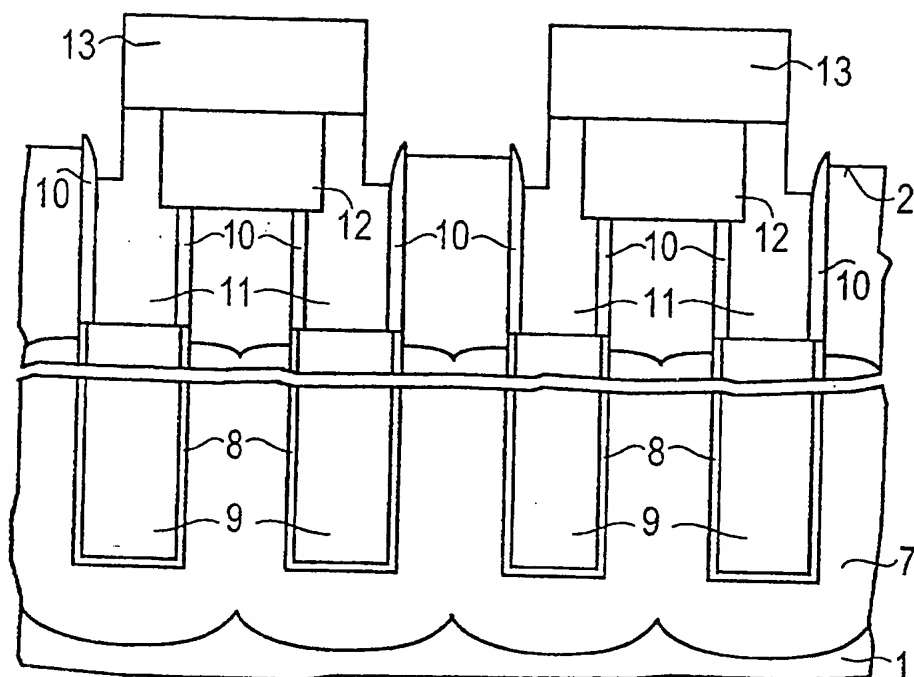


FIG 9

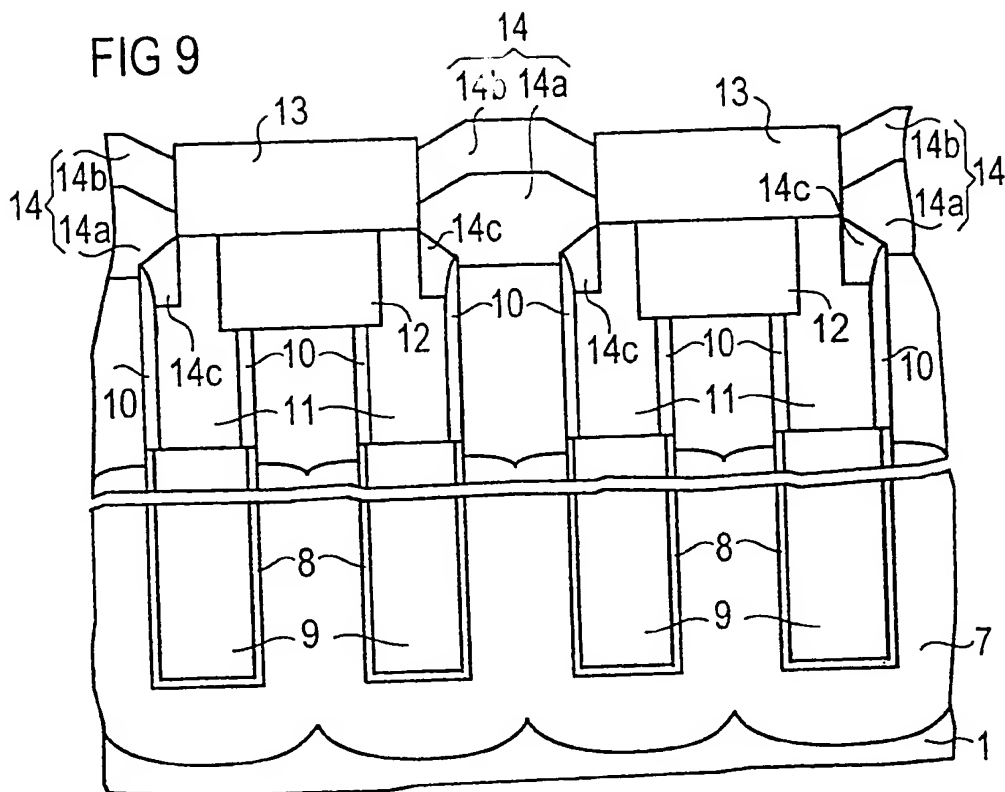


FIG 10

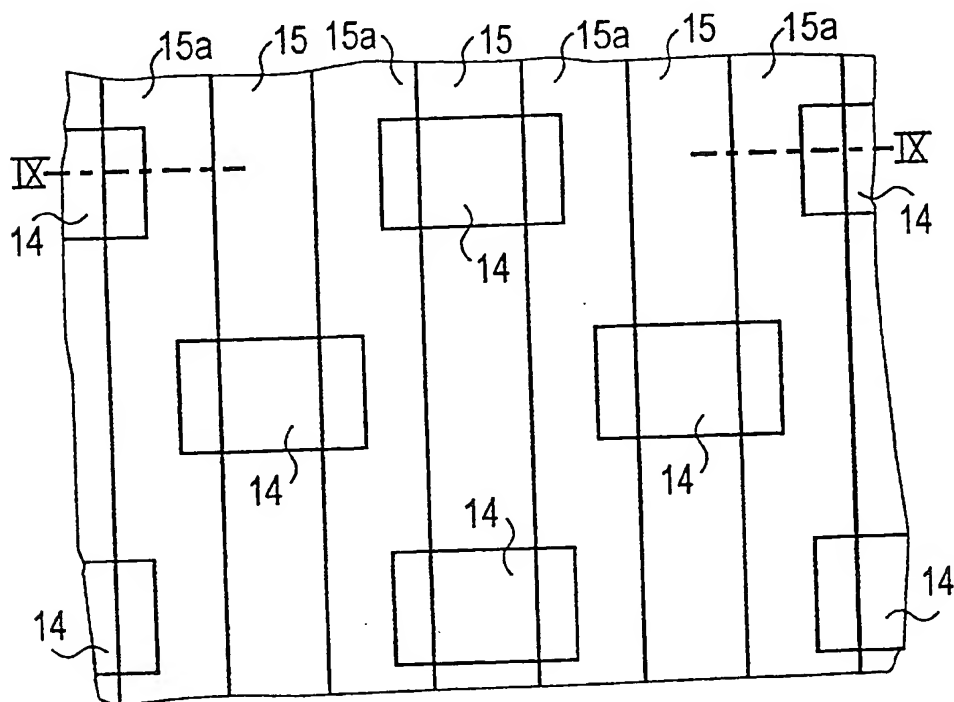


FIG 11

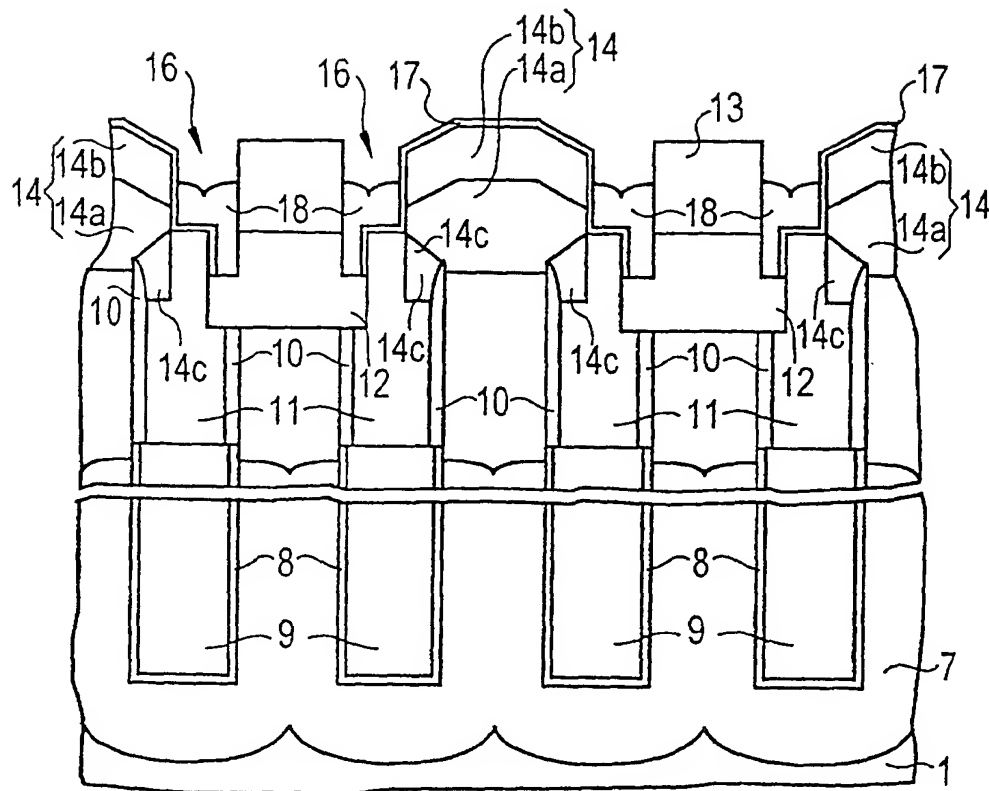


FIG 12

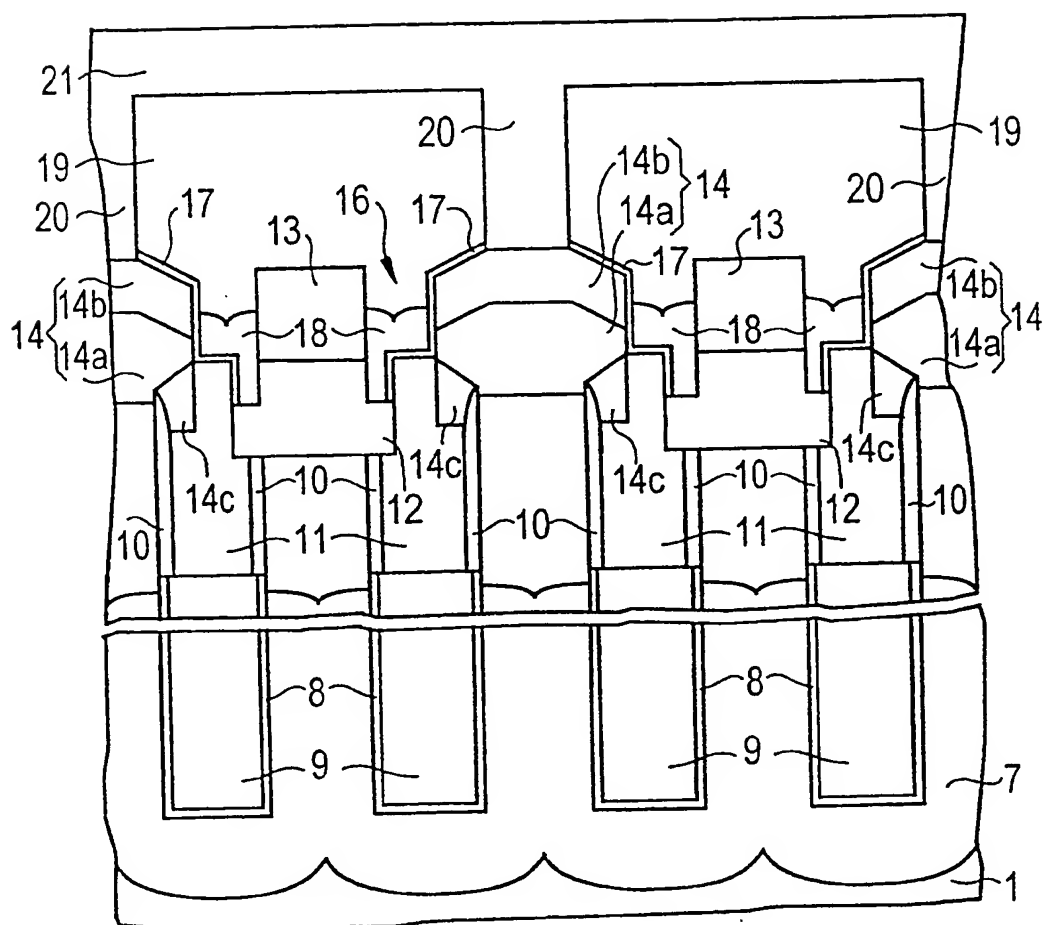


FIG 13

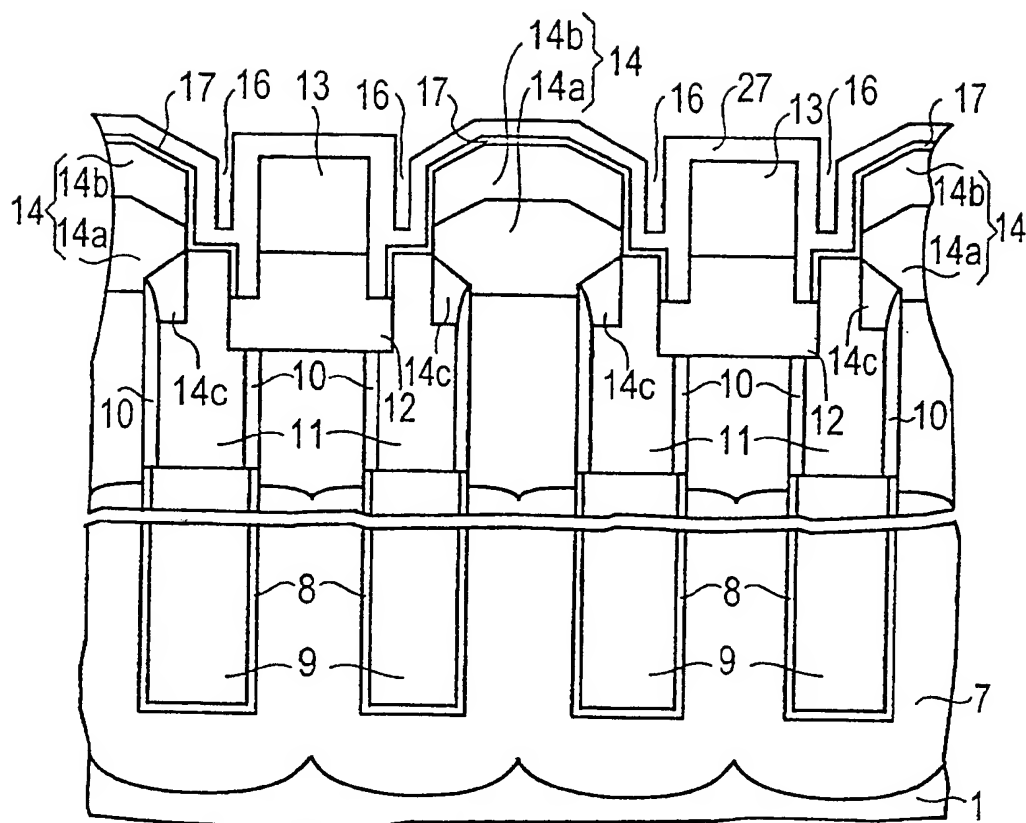


FIG 14

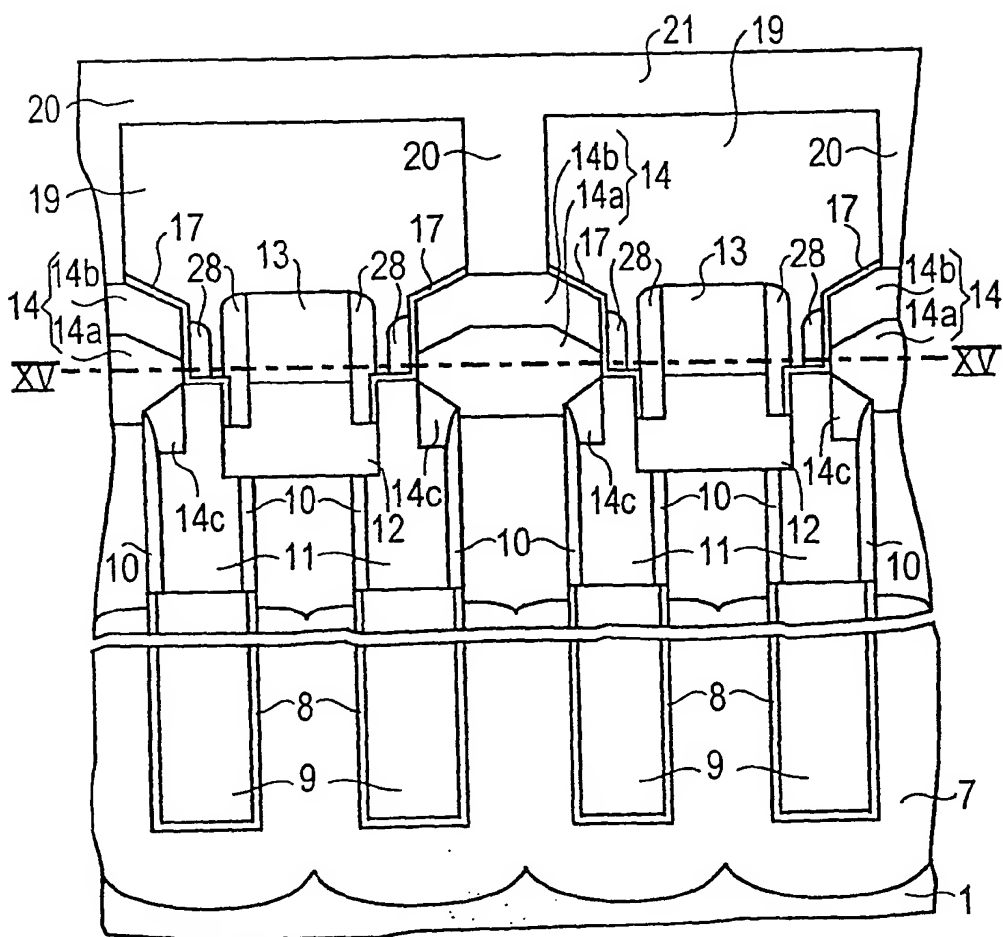
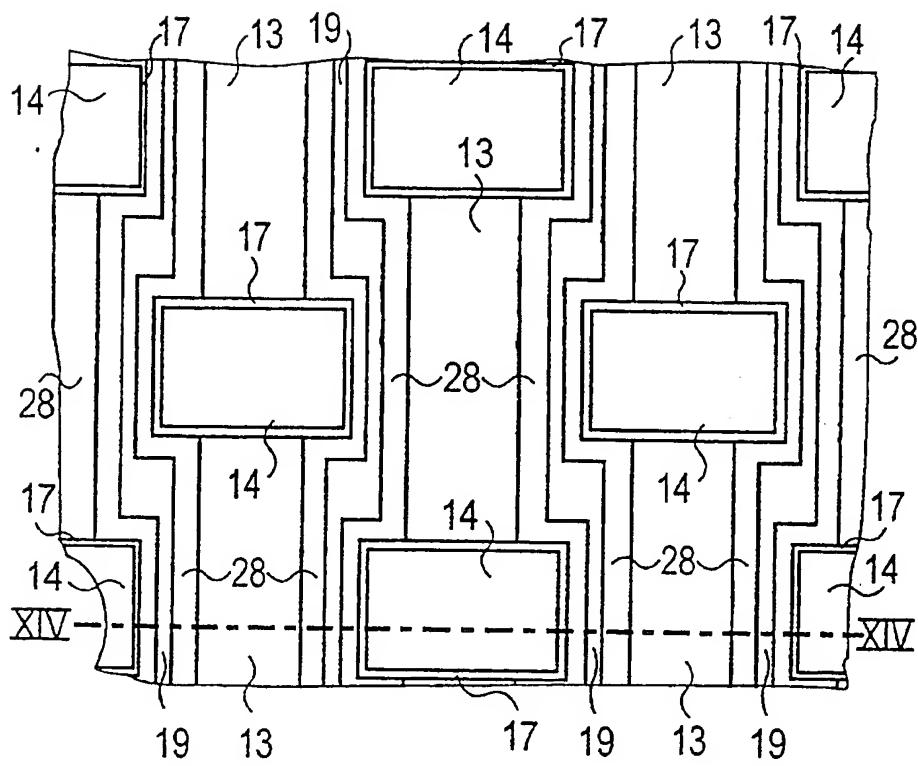


FIG 15



High packing density DRAM cell array

Patent Number: DE19620625
Publication date: 1997-10-23
Inventor(s): ROESNER WOLFGANG DR (DE); RISCH LOTHAR DR (DE); AEUGLE THOMAS DR (DE); HOFMANN FRANZ DR (DE)
Applicant(s): SIEMENS AG (DE)
Requested Patent: DE19620625
Application Number: DE19961020625 19960522
Priority Number(s): DE19961020625 19960522
IPC Classification: H01L27/108; H01L21/8242
EC Classification: H01L21/8242B6B, H01L27/108F10V
Equivalents: WO9744826

Abstract

In a DRAM cell array, (a) memory cells, each comprising a storage capacitor below a selection transistor, are provided in a main face of a semiconductor substrate (1); (b) rows and columns of trenches are provided, in each of which a capacitor is created by a capacitor plate formed at a doped substrate region (7) adjacent the trench, a capacitor dielectric formed on the trench wall and a storage node (9, 11) formed in the trench; (c) an insulation structure (12, 13) surrounds trench pairs, each formed by two adjacent trenches of a row; (d) semiconductor islands (14) are located between adjacent trenches of each trench pair and are mutually offset along adjacent rows; (e) each selection transistor is in the form of a vertical MOS transistor with its gate dielectric (17) and gate electrode on one of the sides of each semiconductor island; (f) the storage node (9, 11) of the storage capacitor adjoins the side of the semiconductor island; (g) the gate electrode is connected to a word line and one of the source/drain regions (14b) of the transistor is connected to a bit line (21); (h) word line trenches extend transversely to the rows and adjoin the sides of the semiconductor islands (14); (i) the semiconductor islands (14), which are arranged in adjacent rows and which adjoin the same word line trenches, are adjacent opposite sides of the word line trenches; and (j) two word lines (28) are provided on opposite side walls of each word line trench. Also claimed is a process for producing the above DRAM cell array.

Data supplied from the esp@cenet database - I2

Docket # P2001,0158

Applic. # _____

Applicant: W. Gustin et al.

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101